

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-200036
 (43) Date of publication of application : 31.07.1997

(51) Int. Cl. H03K 19/08
 G11C 11/413
 G11C 11/408
 H03K 19/017
 H03K 19/0944
 H03K 19/20

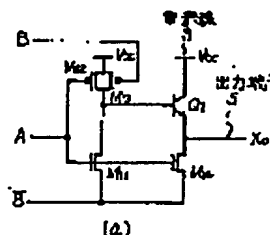
(21) Application number : 08-005899 (71) Applicant : NEC CORP
 (22) Date of filing : 17.01.1996 (72) Inventor : TAKAHASHI HIROYUKI
 SATO MITSURU

(54) LOGIC CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT USING IT

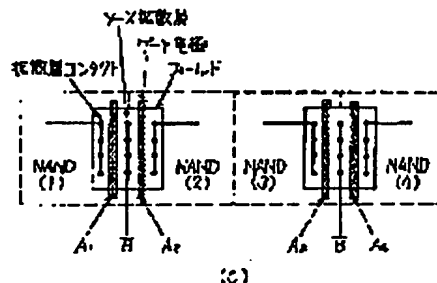
(57) Abstract:

PROBLEM TO BE SOLVED: To attain a high processing speed, low power consumption and a small layout area.

SOLUTION: A charge extract path being a NAND circuit having consisting of two n-channel MOS transistors (TRs) stacked in two stages conventionally is made up of only one n-channel MOS TR M11 and a signal A is given to a gate electrode. An inverse of a signal VB being an object of logic arithmetic operation is given to a source electrode together with the signal A. Since the number of TRs connected in series is decreased, the current capability is increased and the layout area is reduced. Since the high level of the inverse of the signal VB is compressed into a threshold voltage equal to power supply voltage V_{cc} -threshold voltage of TR, the circuit speed is increased and the power consumption is reduced. In the case of applying the NAND circuit to a decoder circuit, since the load capacity for the inverse of signal VB is reduced to 1/2 by allowing adjacent NAND circuits to share the source diffusion layer of the TR M11 in common, the processing speed is more increased and the path is applicable also to a charge supply path for a NOR circuit.



A	B	\bar{B}	X_0
0	0	1	1
0	1	0	1
1	0	1	1
1	1	0	0



LEGAL STATUS

[Date of request for examination] 17.01.1996
 [Date of sending the examiner's decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 2806335

[Date of registration] 24. 07. 1998

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-200036

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/08			H 0 3 K 19/08	A
G 1 1 C 11/413			19/017	
11/408		9199-5K	19/20	
H 0 3 K 19/017			G 1 1 C 11/34	3 0 2 A
19/0944				3 5 4 B
審査請求 有 請求項の数17 O L (全 11 頁) 最終頁に続く				

(21)出願番号 特願平8-5899

(22)出願日 平成8年(1996)1月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 佐藤 充

東京都港区芝五丁目7番1号 日本電気株式会社内

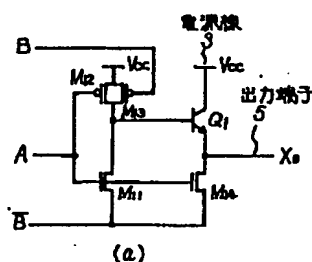
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 論理回路及びこれを用いた半導体集積回路

(57)【要約】

【課題】論理回路の高速化、低電力化、レイアウト面積の縮小を図る。

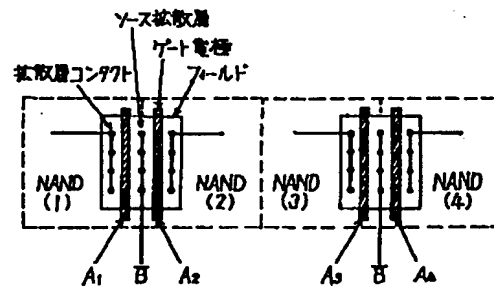
【解決手段】NAND回路で、従来二つのnMOSトランジスタの二段積み接続で構成していた電荷引抜き経路を、ただ一つのnMOSトランジスタM₁₁で構成し、ゲート電極に信号Aを入力する。ソース電極に、信号Aと共に論理演算の対象となる信号Bの逆相信号 ∇B を入力する。直列のトランジスタ数が減るので、電流能力が増大し、レイアウト面積が縮小する。逆相信号 ∇B のハイレベルを、電源電圧V_{CC}トランジスタのしきい値電圧に圧縮できるので、回路が高速化、低電力化される。このNAND回路をデコーダ回路に適用する場合、隣り合うNAND回路どうしてトランジスタM₁₁のソース拡散層を共有すると、逆相信号 ∇B の負荷容量が従来の約1/2に減少するので、更に高速化できる。NOR回路の電荷供給経路にも、適用できる。



A	B	∇B	X ₀
0	0	1	1
0	1	0	1
1	0	1	1
1	1	0	0

(a)

(b)



(c)

【特許請求の範囲】

【請求項1】 出力端子を介して外部の負荷に電荷を供給する少くとも一つ以上の第1のトランジスタと、前記出力端子を介して前記負荷から電荷を引き抜く少くとも一つ以上の第2のトランジスタとを備え、外部から入力される複数の二値論理信号の状態の組合せに応じて前記負荷への電荷の供給又はこれからの電荷の引抜きを行うことにより所定の論理演算を行う構成の論理回路において、

前記第1のトランジスタ及び前記第2のトランジスタの一方を、ドレイン電極が前記出力端子に接続されたMOS型電界効果トランジスタで構成し、

そのMOS型電界効果トランジスタのソース電極には、ゲート電極への入力信号と組み合されて論理演算の対象となるべき信号の、逆相信号を入力する構成であることを特徴とする論理回路。

【請求項2】 請求項1記載の論理回路において、前記第1のトランジスタ及び前記第2のトランジスタを、相補形MOS型電界効果トランジスタで構成したことを特徴とする論理回路。

【請求項3】 請求項1記載の論理回路において、前記第1のトランジスタ及び前記第2のトランジスタのうち、前記MOS型電界効果トランジスタで構成されるトランジスタとは異なるトランジスタを、バイポーラトランジスタを用いて構成したことを特徴とする論理回路。

【請求項4】 請求項2又は請求項3記載の論理回路において、

前記論理回路の出力信号を、バイポーラトランジスタとMOS型電界効果トランジスタとの直列回路からなる出力段を介して外部に出力する、バイポーラ・CMOSトランジスタ構成であることを特徴とする論理回路。

【請求項5】 請求項1記載の論理回路において、この論理回路は、前記MOS型電界効果トランジスタのソース電極に入力される前記逆相信号を生成する回路を備え、

前記逆相信号生成回路は、電源線と基準電位点との間に直列に接続された二つのnチャネル型MOS型電界効果トランジスタのそれぞれのゲート電極に、前記逆相信号と同相及び逆相の相補の信号を入力することにより、nチャネル型MOS型電界効果トランジスタにおけるしきい値落現象に基づいて、論理振幅が圧縮された前記逆相信号を生成する構成であることを特徴とする論理回路。

【請求項6】 請求項1記載の論理回路において、負荷に電荷を供給する前記第1のトランジスタに並列に第3のトランジスタを設け、その第3のトランジスタの制御電極に論理出力信号と同相の信号をフィードバックして入力することを特徴とする論理回路。

【請求項7】 それぞれのゲート電極に第1の入力信号及び第2の入力信号を一つずつ割り振って入力される、

並列接続の二つのpチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極に、第1のnチャネル型MOS型電界効果トランジスタのドレイン電極を接続し、

その第1のnチャネル型MOS型電界効果トランジスタには、前記第1の入力信号をゲート入力として与え、ソース電極に前記第2の入力信号の逆相信号を入力し、前記二つのpチャネル型MOS型電界効果トランジスタ及び前記第1のnチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極を出力端子に接続したことを特徴とする論理回路。

【請求項8】 請求項7記載の論理回路において、前記二つのpチャネル型MOS型電界効果トランジスタ及び前記第1のnチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極を前記出力端子に接続するのに替えて、

コレクタ電極が最高電位点に接続されたバイポーラトランジスタと、ドレイン電極が前記バイポーラトランジスタのエミッタ電極に接続された第2のnチャネル型MOS型電界効果トランジスタとを設け、

前記第1のnチャネル型MOS型電界効果トランジスタのドレイン電極を前記バイポーラトランジスタのベース電極に接続し、前記バイポーラトランジスタのエミッタ電極と前記第2のnチャネル型MOS型電界効果トランジスタのドレイン電極との接続節点を出力端子に接続すると共に、

前記第2のnチャネル型MOS型電界効果トランジスタには、前記第1の入力信号をゲート入力として与え、ソース電極に前記第2の入力信号の逆相信号を入力するように構成したことを特徴とする論理回路。

【請求項9】 請求項7又は請求項8記載の論理回路において、

前記並列接続のpチャネル型MOS型電界効果トランジスタに替えて、ゲート電極に一定電位を与えられて常時オン状態にある一つのpチャネル型MOS型電界効果トランジスタを設けたことを特徴とする論理回路。

【請求項10】 それぞれのベース電極に第1の入力信号の逆相信号及び第2の入力信号の逆相信号を一つずつ割り振って入力される、エミッタ電極を共通接続した二つのバイポーラトランジスタのエミッタ電極に、nチャネル型MOS型電界効果トランジスタのドレイン電極を接続し、

前記nチャネル型MOS型電界効果トランジスタには、前記第1の入力信号をゲート入力として与え、ソース電極に前記第2の入力信号の逆相信号を入力すると共に、前記二つのバイポーラトランジスタのエミッタ電極と前記nチャネル型MOS型電界効果トランジスタのドレイン電極との接続節点を出力端子に接続したことを特徴とする論理回路。

【請求項11】 それぞれのゲート電極に第1の入力信

号及び第2の入力信号を一つずつ割り振って入力される、並列接続の二つのnチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極に、第1のpチャネル型MOS型電界効果トランジスタのドレイン電極を接続し、
その第1のpチャネル型MOS型電界効果トランジスタには、前記第1の入力信号をゲート入力として与え、ソース電極に前記第2の入力信号の逆相信号を入力し、
前記二つのnチャネル型MOS型電界効果トランジスタ及び前記第1のpチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極を出力端子に接続したことを特徴とする論理回路。

【請求項12】 請求項11記載の論理回路において、前記並列接続のnチャネル型MOS型電界効果トランジスタ及び前記第1のpチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極を前記出力端子に接続するのに替えて、
コレクタ電極が最高電位点に接続されたバイポーラトランジスタと、ドレイン電極が前記バイポーラトランジスタのエミッタ電極に接続されソース電極が基準電位点に接続された第3のnチャネル型MOS型電界効果トランジスタと、その第3のnチャネル型に並列接続された第4のnチャネル型MOS型電界効果トランジスタとを設け、
前記第1のpチャネル型MOS型電界効果トランジスタのドレイン電極を前記バイポーラトランジスタのベース電極に接続し、前記バイポーラトランジスタのエミッタ電極と前記第3及び第4のnチャネル型MOS型電界効果トランジスタのドレイン電極との接続節点を出力端子に接続すると共に、
前記第3のnチャネル型MOS型電界効果トランジスタには、前記第1の入力信号をゲート入力として与え、前記第4のnチャネル型MOS型電界効果トランジスタには、前記第2の入力信号をゲート入力として与えるように構成したことを特徴とする論理回路。

【請求項13】 第1の入力信号をゲート入力とし、第2の入力信号の逆相信号をソース電極に入力されるnチャネル型MOS型電界効果トランジスタのドレイン電極に、それぞれのゲート電極に前記第1の入力信号及び前記第2の入力信号を一つずつ割り振って入力される、並列接続のpチャネル型MOS型電界効果トランジスタのドレイン電極を接続し、
前記nチャネル型MOS型電界効果トランジスタ及び前記並列接続のpチャネル型MOS型電界効果トランジスタの共通接続のドレイン電極からの出力信号を、CMOSトランジスタ構成のインバータを介して出力するように構成したことを特徴とする論理回路。

【請求項14】 請求項13記載の論理回路において、前記並列接続の二つのpチャネル型MOS型電界効果トランジスタに替えて、ゲート電極に一定電位を与えられ

て常時オン状態にある一つのpチャネル型MOS型電界効果トランジスタを設けたことを特徴とする論理回路。

【請求項15】 請求項14記載の論理回路において、前記常時オン状態にあるpチャネル型MOS型電界効果トランジスタに並列にpチャネル型MOS型電界効果トランジスタを接続し、その並列接続のpチャネル型MOS型電界効果トランジスタのゲート電極に、前記nチャネル型MOS型電界効果トランジスタのドレイン電極からの信号と同相の信号をフィードバックして入力する構成としたことを特徴とする論理回路。

【請求項16】 請求項13、請求項14又は請求項15記載の論理回路において、

この論理回路は、前記nチャネル型MOS型電界効果トランジスタのソース電極に入力される前記第2の入力信号の逆相信号を生成する回路を備え、

前記逆相信号生成回路は、電源線と基準電位点との間に直列に接続された二つのnチャネル型MOS型電界効果トランジスタのそれぞれのゲート電極に、前記逆相信号と同相及び逆相の相補の信号を入力することにより、nチャネルMOS型電界効果トランジスタにおけるしきい値落ち現象に基づいて、論理振幅が圧縮された前記逆相信号を生成する構成であることを特徴とする論理回路。

【請求項17】 同一チップ上にデコーダ回路を備える半導体集積回路において、

前記デコーダ回路を、請求項1から請求項16迄のいずれかに記載の論理回路をアレイ状に複数並べて配置することにより構成すると共に、

それぞれの論理回路内の、前記ソース電極に論理演算の対象となる信号の逆相信号を入力されるMOS型電界効果トランジスタを、隣り合う論理回路どうしでソース拡散層を共有するように配置したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路及びこれを用いた半導体集積回路に関し、特に、例えば半導体メモリ装置におけるデコーダ回路のような、多入力でアレイ状に配置される回路に用いて好適な論理回路及びこれを用いた半導体集積回路に関する。

【0002】

【従来の技術】従来の多入力論理回路について、バイポーラトランジスタとMOSトランジスタとを組み合わせで構成した（以下、BiCMOSと記す）2入力NAND回路を例にして、説明する。このNAND回路の回路図を、図13に示す。図13を参照して、このNAND回路は、CMOSTランジスタ構成の論理部1と、バイポーラ・MOSトランジスタ構成の出力段2とからなっている。論理部1は、二つのpMOSTランジスタM23、M24の並列接続回路と、二つのnMOSTランジスタM21、M22の直列接続回路とを、高位電源線（電圧

= V_{CC}) 3と接地線4との間に、この順に直列接続した構成である。論理演算の対象となる二つの入力信号A、Bのうち、信号Aは、pMOSトランジスタ M_{23} 及びnMOSトランジスタ M_{21} それぞれのゲート電極に入力されている。一方、信号Bは、pMOSトランジスタ M_{24} 及びnMOSトランジスタ M_{22} それぞれのゲート電極に入力されている。そして、演算結果の信号が、二つのpMOSトランジスタ及びnMOSトランジスタ M_{21} の共通接続されたドレイン電極から出力され、出力段2に入力される。

【0003】出力段2は、コレクタ電極が電源線3に接続するバイポーラトランジスタ（以下、BiPトランジスタと記す） Q_2 と二つのnMOSトランジスタ M_{25} 、 M_{26} とを、電源線3と接地線4との間にこの順に直列接続した構成であって、論理部1からの論理信号はトランジスタ Q_2 のベース電極に入力される。又、入力信号A、Bが、直列接続されたnMOSトランジスタ M_{25} 、 M_{26} それぞれのゲート電極に一つずつ割り振って入力されている。このBiCMOSの二入力NAND回路は、出力段2のnMOSトランジスタ M_{25} のドレイン電極とBiPトランジスタ Q_2 のエミッタ電極との接続節点を出力端子5として、ここから出力信号 X_0 を出力する。

【0004】図13に示す回路では、信号Aと信号Bが両方ともハイの場合、直列接続のnMOSトランジスタ M_{21} 、 M_{22} は共にオン状態となる。一方、並列接続のpMOSトランジスタ M_{23} 、 M_{24} が共にオフ状態となる。その結果、BiPトランジスタ Q_2 はベース電極が接地電位に下がり、オフ状態となる。一方、同じく直列接続のnMOSトランジスタ M_{25} 、 M_{26} が共にオン状態となるので、負荷（図示せず）の電荷はこれらのトランジスタ M_{25} 、 M_{26} を通して放電し、出力信号 X_0 はロウに下がる。

【0005】これに対し信号A又は信号Bがロウの場合、nMOSトランジスタ M_{21} 、 M_{22} のうちのどちらか一方がオフ状態になるので、これらのnMOSトランジスタはBiPトランジスタ Q_2 のベース電位引下げには働かない。一方、pMOSトランジスタ M_{23} 、 M_{24} のうちのどちらかがオン状態となるので、これらのpMOSトランジスタはBiPトランジスタ Q_2 のベース電位を引き上げる。その結果、BiPトランジスタ Q_2 は、ベース電圧を V_{CC} に引き上げられて、オン状態となる。一方、直列接続のnMOSトランジスタ M_{25} 、 M_{26} は、どちらかがオフ状態となるので、出力端子5からの電荷引き抜き能力は無い。その結果、BiPトランジスタ Q_2 による充電により、出力信号 X_0 はハイに上がる。

【0006】つまり、図13に示す回路の出力 X_0 は、複数本の入力の全てがハイのときのみ出力がロウになりそれ以外はハイ出力となる、NAND論理となっている。半導体メモリ装置等に組み込まれるデコード回路には、上記のような論理回路が頻繁に使われている。その

場合の回路動作上の特徴は、多数個アレイ状に並べられたNANDゲートの内で一つだけが選択出力であるロウ出力であり、それ以外の全ては非選択出力であるハイ出力となることである。デコード回路では、このようなゲートを複数段つなぐことにより、最終的には入力された番地のメモリセルを選択することが可能となる。

【0007】

【発明が解決しようとする課題】上述した従来のNAND回路では、出力信号 X_0 のハイへの引上げは、pMOSトランジスタ M_{23} 、 M_{24} （いずれか一方、又は、両方）によりベース電流を供給されたBiPトランジスタ Q_2 により行われる。そのため、電流能力が高く高速に動作する。しかし、引下げは直列接続のnMOSトランジスタ M_{21} 、 M_{22} によるBiPトランジスタ Q_2 のベース電位引下げと、同じく直列接続のnMOSトランジスタ M_{25} 、 M_{26} による出力負荷からの電荷の引抜きとによって行われる。このことは、nMOSトランジスタのゲート長が等価的に2倍になり、ドレイン電流の電流能力が半分になっていることを意味する。そこでこのnMOSトランジスタの電流能力の半減を補うために、通常、nMOSトランジスタ M_{21} 、 M_{22} 、 M_{25} 、 M_{26} のゲート幅を大きく設計し電流能力を高めて、引下げ速度の遅れをできるだけ起こさないようにしている。しかしながら、ゲート幅の拡大は入力信号からみえる入力容量の増大となってしまうので、前段の論理回路（図示せず）を遅らせることになる。つまり、論理ゲートが複数段存在するような場合、回路の高速化のためにはファンアウト特性（出力負荷容量対入力容量の比と遅延時間との関係）の改善が必要となるが、そのためには直列接続されたnMOSトランジスタ M_{21} 、 M_{22} 、 M_{25} 、 M_{26} の能力低下が大きな障害になっているのである。

【0008】デコード回路について考えると、回路の目的である選択の動作速度は選択信号出力の遅延時間によるところが大きいわけであるが、その選択は、直列接続のnMOSトランジスタ M_{21} 、 M_{22} 及び M_{25} 、 M_{26} による出力の引下げ（NOR回路では、直列接続のpMOSトランジスタによる出力の引上げ）によって実行されるので、MOSトランジスタの直列接続による電流能力の低下は、動作速度に大きく関わってくることとなる。

【0009】従って、本発明は、負荷への電荷供給あるいは負荷からの電荷引き抜きの経路を構成する直列接続のMOSトランジスタ数を減じて、高速動作可能で、しかもレイアウト面積の小さい論理回路を提供することを目的とするものである。

【0010】本発明の他の目的は、例えば半導体メモリ装置などにおけるデコード回路のような、論理回路を多数アレイ状に配置する回路に適用して、選択の速度を高速化できる論理回路を提供することである。

【0011】

【課題を解決するための手段】本発明による論理回路

7

は、出力端子を介して外部の負荷に電荷を供給する少くとも一つ以上の第1のトランジスタと、前記出力端子を介して前記負荷から電荷を引き抜く少くとも一つ以上の第2のトランジスタとを備え、外部から入力される複数の二値論理信号の状態の組合せに応じて前記負荷への電荷の供給又はこれからの電荷の引抜きを行うことにより所定の論理演算を行う構成の論理回路において、前記第1のトランジスタ及び前記第2のトランジスタの一方を、ドレイン電極が前記出力端子に接続されたMOS型電界効果トランジスタで構成し、そのMOS型電界効果トランジスタのソース電極には、ゲート電極への入力信号と組み合されて論理演算の対象となるべき信号の、逆相信号を入力する構成であることを特徴とする。

【0012】又、本発明の論理回路は、上記の論理回路において、前記MOS型電界効果トランジスタのソース電極に入力される前記逆相信号を生成する回路を備え、前記逆相信号生成回路は、電源線と基準電位点との間に直列に接続された二つのnチャネル型MOS型電界効果トランジスタのそれぞれのゲート電極に、前記逆相信号と同相及び逆相の相補の信号を入力することにより、nチャネル型MOS型電界効果トランジスタにおけるしきい値落ち現象に基づいて、論理振幅が圧縮された前記逆相信号を生成する構成であることを特徴とする。

【0013】更に、本発明の半導体集積回路は、同一チップ上にデコード回路を備える半導体集積回路において、前記デコード回路を、上記の論理回路をアレイ状に多数並べて配置することにより構成すると共に、それぞれの論理回路内の、前記ソース電極に論理演算の対象となる信号の逆相信号を入力されるMOS型電界効果トランジスタは、隣り合う論理回路どうしでソース拡散層を共有するように配置したことを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の幾つかの実施の形態について、図面を参照して説明する。図1(a)は、本発明の第1の実施の形態の、BiCMOSによる2入力NAND論理回路の回路図を示す。図1(a)と図13とを比較すると、本実施の形態は、出力段のBiPトランジスタのベース電位引下げ用電流経路および、出力負荷からの電荷引抜き用電流経路が、従来、nMOSTランジスタM21、M22の直列接続回路および、nMOSTランジスタM25、M26の直列接続回路で構成されていたのに対し、それぞれ単独のnMOSTランジスタM11、M14で構成されている点が従来のNAND回路と大きく異っている。

【0015】本実施の形態において、入力信号AはpMOSTランジスタM12とnMOSTランジスタM11のゲート電極に入力される。pMOSTランジスタM12のソース電極は高位電源線（電圧=V_{CC}）3に接続され、このトランジスタに並列接続されたpMOSTランジスタM13には別の入力信号Bがゲート入力されている。これ

8

ら二つのpMOSTランジスタの共通ドレイン電極は、コレクタ電極が電源線3に接続されたBiPトランジスタQ1のベース電極に接続されている。BiPトランジスタQ1のエミッタ電極には、信号Aをゲート入力とするnMOSTランジスタM14のドレイン電極が接続され、その接続節点が出力端子5に接続されている。そして、前述のnMOSTランジスタM11、M14のソース電極には、入力信号Bの逆相信号 ∇B （ ∇ は、反転を意味する上バーの代用。以下、同じ）が入力されている。

10 【0016】次に、本実施の形態の論理動作を、図1(b)に示す真理値表を参照して、説明する。入力信号Aがロウ（=0）の場合、nMOSTランジスタM11、M14はオフ状態となる。一方、pMOSTランジスタM12はオンとなる。従って、BiPトランジスタQ1は、信号Bの如何によらず、ベース電圧が電源電圧V_{CC}に引き上げられて、オン状態となる。これで、コレクタ電極からエミッタ電極に大きな電流が供給され、出力端子5に接続された負荷（図示せず）を充電して、出力X₀はハイ（=1）となる。

20 【0017】入力信号Aがハイの場合、出力X₀は、入力信号Bの状態によって異なる。信号Bがロウのとき逆相信号 ∇B はハイとなるので、nMOSTランジスタM11、M14はオフ状態となる。一方、pMOSTランジスタM12もオフ状態となるが、もう一つのpMOSTランジスタM13はオン状態となる。従って、出力X₀は先程と同様に、ハイ出力となる。次に、入力信号Bがハイのときは、nMOSTランジスタM11、M14はゲート電極がハイでソース電極がロウとなるので、共にオン状態となる。これに対し、pMOSTランジスタM12、M13は両方共オフ状態になる。従って、BiPトランQ1はベ

30 ース電極が接地電位に下がり、オフ状態となる。そして、nMOSTランジスタM14のオン電流能力により出力負荷が放電され、出力X₀がロウに引き下げられる。
【0018】本実施の形態の過渡応答については、逆相信号 ∇B における、nMOSTランジスタM11、M14のソース電極への入力動作が特徴となる。ここで、本実施の形態に用いたnMOSTランジスタのソース電極容量について説明する。図1(a)に示す回路のnMOSTランジスタM14のレイアウトパターンを、図1(c)に示す。ここでは半導体メモリ装置のデコード回路を想定しており、4つのNANDゲートがNAND(1)からNAND(4)までアレイ状に配置されて場合について、各ゲート内のnMOSTランジスタM14のレイアウトを示している。この場合、逆相信号 ∇B は4つのNANDゲートに共通であり、一方、入力信号Aは信号A₁～信号A₄の4本あり、各NANDゲート内のnMOSTランジスタM14のゲート電極に入力されている。ここで重要なのは、nMOSTランジスタM14のソース拡散層を二つのNANDゲートで共通に使っていることである。これにより、nMOSTランジスタM14のソース拡散層

の容量は約半分になる。更に、フィールド側の側面容量が大きいデバイスでは、半分以上に低減される。このような構造にすることによって、本実施の形態は、入力容量が通常のゲート入力容量に比べ約半分程度まで下がり、ファンアウト特性が向上する。又、nMOSトランジスタM₁₄はトランスファゲートとして働くので、ゲート入力によるオン動作よりも速く出力端子5から電流を

出力端子5の負荷容量<逆相信号 ∇B の負荷容量

逆相信号 ∇B の負荷容量が大きければ、出力端子5からの放電電流による影響は、ほとんど見えてこない。尚、以上は、nMOSトランジスタM₁₄のソース拡散層を隣り合うNANDゲートどうして共有する例であるが、このようなレイアウト構造にすることの利点は、nMOSトランジスタM₁₁においても、同様に得られる。

【0021】次に、信号Aの入力に対する応答についてみると、二つのnMOSトランジスタM₁₁、M₁₄は共にソース電極が接地線に接続された状態となる。すなわち、一段のnMOSトランジスタのみで出力X₀を引き下げることになるので、やはり高速動作が可能となる。尚、nMOSトランジスタのソース電極に逆相信号 ∇B が接続されていることの影響は、先程の、出力端子5との容量比の条件式①を満足していればソース電圧が大きく浮くことはなく、nMOSトランジスタの高い電流能力を十分引き出すことができる。

【0022】実際のデコード回路を考えた場合、信号Bとその逆相信号 ∇B とは、同時に供給され或いは、容易に得られるはずである。例えば、2本のアドレスを入力とする4つのNAND回路の場合、入力信号は2本のアドレス信号それぞれの同相信号と逆相信号であり、デコード回路を考えると、必然的に存在しているものである。一方、初段のデコード回路以降のデコード回路においては逆相信号は必ずしも存在するとは限らないが、この場合でもインバータを一段介して複数のNANDゲート用に逆相信号を発生することは容易である。そのときは、負荷の小さい信号Bの方を発生させることが望ましい。

【0023】次に、本発明の第2の実施の形態について、図2を用いて説明する。本実施の形態では、出力段のBiPトランジスタQ₃のベース電位引上げ用pMOSトランジスタを、pMOSトランジスタM₃₂の一個のみとしている。そして、このトランジスタのゲート電極を接地線4に接続して接地電位をゲート入力とすることで、pMOSトランジスタM₃₂を常時オン状態で使っている。従って、入力信号は、信号Aと逆相信号 ∇B のみである。第1の実施の形態とは異って、信号Bを必要としない。又、素子数も、1個減っている。

【0024】本実施の形態では、信号Aがハイで且つ逆相信号 ∇B がロウ以外では、nMOSトランジスタM₃₁、M₃₃はオフであり、pMOSトランジスタM₃₂によりBiPトランジスタQ₃のベース電極が電源電圧V

引き始める。従って、前段の論理回路から含めて非常に高速な動作が可能となる。

【0019】但し、注意が必要なのは、出力端子5の負荷容量を入力信号である ∇B の配線を通して放電しているので、高速動作のためには、下記の式①で表される条件を満たすことが必要である。

【0020】

①

ccに引き上げられる。その結果、BiPトランジスタQ₃がオン状態となり、出力X₀をハイにする。信号Aがハイで且つ逆相信号 ∇B がロウのときは、nMOSトランジスタM₃₁、M₃₃が共にオン状態となる。そして、nMOSトランジスタM₃₃の電流能力で出力X₀をロウに引き下げる。

【0025】ここで、pMOSトランジスタM₃₂が常時オン状態にあるので、BiPトランジスタQ₃のベース電位はnMOSトランジスタM₃₁とpMOSトランジスタM₃₂とのインピーダンス比により決まる。そこで、そのベース電位がBiPトランジスタQ₃のベース・エミッタ間のpn接合順方向電圧である約0.8V以下となるようにしておけば、BiPトランジスタQ₃はオフとなるので、ロウ出力に問題はない。pMOSトランジスタM₃₂のサイズはBiPトランジスタQ₃のオン能力以外に、トランジスタQ₃がオフ状態にあるときのベース電位を決定しているので、あまり大きくはできない。従って、ハイ出力つまりデコードとして考えたときの非選択出力が、第1の実施の形態ほどは速くない。しかし、入力容量がpMOSトランジスタの分だけ減少しているので、ファンアウト特性ではほとんど差は生じない。

【0026】次に、本発明の第3の実施の形態を、図3を用いて説明する。図3を参照すると、本実施の形態は、出力引下げ用にただ一個のnMOSトランジスタM₄₁を用いている点はこれ迄の実施の形態と同じである。しかし、出力X₀引上げ用トランジスタとしてBiPトランジスタのみを用いている点に、特徴がある。nMOSトランジスタM₄₁のソース電極に入力される逆相信号 ∇B をBiPトランジスタQ₄₁のベース電極にも入力し、これに並列接続したBiPトランジスタQ₄₂のベース電極には信号Aの逆相信号 ∇A が入力されている。

【0027】本実施の形態では、信号Aがハイで逆相信号 ∇B がロウ（つまり、A=1、B=1）のとき、nMOSトランジスタM₄₁がオン状態となる。このとき同時に、逆相信号 ∇A 、逆相信号 ∇B が共にロウになるので、二つのBiPトランジスタQ₄₁、Q₄₂は、共にオフ状態となる。その結果、出力X₀はロウとなる。それ以外のときは、nMOSトランジスタM₄₁がオフ状態になる。一方、BiPトランジスタQ₄₁、Q₄₂のうち少なくとも一つはオン状態にある。従って、出力X₀はハイに引き上げられる。本実施の形態の場合、出力引上げ用BiPトランジスタQ₄₁、Q₄₂を逆相信号 ∇A 、 ∇B で直

接駆動するので高速動作が期待できるが、入力信号からはBiPトランジスタのベース電極容量が見えるので、ファンアウト特性としては今までの例ほど改善効果は大きくない。しかし、素子数がわずか3素子であるので、チップ上でのレイアウト面積等を考えた場合、大きなメリットを持っている。

【0028】図4に、従来のNAND回路の性能と本発明の第1及び第3の実施の形態の性能とを比較した結果を示す。図4において、横軸は、NAND回路の構成素子数を示す。縦軸は、NAND回路の後にインバータを接続した形での合計の遅延時間を示す。ここで、遅延時間は、ファンアウト特性を考慮して、出力負荷の容量 C_{out} /入力容量 $C_{in}=20$ と一定にしたときの値である。又、二本の入力それぞれのハイ、ロウ入力での遅延時間を平均した値を、比較している。第1の実施の形態では素子の減少は2個であるが、遅延時間に関しては20%近い改善効果がある。一方、第3の実施の形態では遅延時間の改善は10%程度だが、素子数は半分に以下に削減される。このように速度改善を重視するか或いは、素子数削減によるレイアウト面積削減を重視するかを、設計する製品の目標性能に合わせて選択できる。

【0029】次に、本発明の第4の実施の形態について、図5を用いて説明する。本実施の形態は、BiCMOSによる2入力NOR回路である。図5を参照して、入力信号A、Bをゲート入力とする並列接続のnMOSトランジスタとして、BiPトランジスタ Q_6 のベース電位引下げ用に、トランジスタ M_{62} 、 M_{63} がある。又、出力 X_1 引下げ用に、トランジスタ M_{64} 、 M_{65} がある。一方、BiPトランジスタ Q_6 のベース電位引上げ用には、信号Aをゲート入力とし逆相信号 ∇B をソース入力とするpMOSトランジスタ M_{61} が、一個だけ接続されている。従来のNOR回路では、この部分が直列二段積みみの二つのpMOSトランジスタで構成される。従って、ハイ出力のとき、pMOSトランジスタのオン状態での電流能力は低く、トランジスタ Q_6 に十分なベース電流を供給できない。すなわち、BiPトランジスタ Q_6 の能力が生かされず、高速化が容易ではなかった。本実施の形態のNOR回路では、NAND回路のときと同様で、pMOSトランジスタの電流能力を高くできるので、高速化が可能である。

【0030】次に、本発明の第5の実施の形態について、図6を用いて説明する。本実施の形態では、先の第4の実施の形態(図5参照)に対し、出力段BiPトランジスタ Q_7 のベース電位引下げ用トランジスタを、nMOSトランジスタ M_{72} の一個だけで構成している。このnMOSトランジスタ M_{72} は、ゲート電極が電源線3に接続されゲート電圧として電源電圧 V_{CC} を与えられて、常時オン状態にある。このような回路構成の場合、nMOSトランジスタ M_{72} がオフ状態をとり得るトランジスタであれば、BiPトランジスタ Q_7 のベース電位

は電源電圧 V_{CC} まで上がりやすい。ところが本実施の形態においては、トランジスタ M_{72} が常時オン状態にあるので、トランジスタ Q_7 のベース電位は、pMOSトランジスタ M_{71} とnMOSトランジスタ M_{72} とのインピーダンス比による分だけ、電源電圧 V_{CC} より低下する。この低下分は出力 X_1 の低下として表出してくるので、これが次段の回路特性を悪化させない程度にする必要がある。

【0031】これまで述べた第4および第5の実施の形態によるNOR回路では、ソース入力されるpMOSトランジスタ M_{71} の出力点はBiPトランジスタ Q_7 のベース電極であるので、高速化のための条件である、出力負荷容量と逆相信号 ∇B の負荷容量との容量比に関する条件式①は、NAND回路の場合に比べれば容易に達成しやすい。それは、出力 X_1 をBiPトランジスタ Q_7 を介して動かしているためである。但し、その反面、速度改善効果は、NAND回路ほどには大きくない。又、ソース入力できるトランジスタはpMOSトランジスタ側の一つだけであるので、素子数削減効果もNAND回路ほどには大きくない。

【0032】次に、本発明の第6の実施の形態について、図7を用いて説明する。本実施の形態の論理回路は、BiPトランジスタを用いないCMOS構成の、NAND回路+インバータによるAND回路である。図7を参照して、pMOSトランジスタ M_{82} 、 M_{83} を並列接続し、入力信号A、Bをそれぞれのゲート電極の一つずつ割り振って入力する。一方、nMOSトランジスタ M_{81} に対しては、ゲート電極に信号Aを入力し、ソース電極に逆相信号 ∇B を入力する。そして、これらpMOSトランジスタ及びnMOSトランジスタの共通接続のドレイン電極をNAND出力として、pMOSトランジスタ M_{84} とnMOSトランジスタ M_{85} との直列接続からなるCMOSインバータに入力する。そのインバータの出力が、AND論理の出力 X_2 である。

【0033】NAND論理部分の回路動作および特性は先に示したBiCMOSによるNAND回路(第1の実施の形態。図1参照)と同様であるが、本実施の形態ではNAND回路の出力点にCMOSインバータを接続した、AND論理形式を基本単位と考えている。CMOS回路はBiCMOS回路に比べて負荷に対する駆動能力が低いことから、大きな負荷を駆動するときは、複数の回路つまり論理回路に駆動用のインバータを接続する構成が、一般的である。このやり方は、逆相信号 ∇B をソース入力とするnMOSトランジスタによる動作とも相性がよい。これまで説明したように、高速性を発揮させるためには逆相信号 ∇B の負荷容量に比べNAND出力の負荷容量を小さくする必要があるが、NAND出力で出力 X_2 の大きな負荷を直接駆動する形では、この条件は崩れ易くなる。いま、デコード回路を考えると、そのデコード出力は次段の多数の論理回路に入るのである

が、そのほとんどは非選択になり、選択側でのみ、nMOSトランジスタM₈₁のソース電極を通してNAND出力の負荷がみえてくる。その場合のNAND出力部分の出力負荷容量は、駆動用CMOSインバータの入力容量のみである。その結果、デコード出力のほとんどの負荷容量は、非選択側の入力容量および配線容量の合計となる。したがって、高速化の条件は容易に達成され、高速性能が発揮されやすくなる。

【0034】次に、本発明の第7の実施の形態について、図8を用いて説明する。本実施の形態は、第6の実施の形態によるCMOSでのAND回路に対し、NAND論理部分のpMOSトランジスタを、常時オン状態にある一個のpMOSトランジスタM₉₂で構成したものであり、NAND回路にCMOSインバータが接続されたAND出力の形を取っている。この構成では、nMOSトランジスタM₉₁がオン状態となったとき、NAND出力は接地電位までは下がらず、わずかに浮くことになる。しかし、その出力の浮きが次のインバータのnMOSトランジスタM₉₄のしきい値電圧より低ければ、大きな貫通電流の心配はない。勿論、トランジスタM₉₂を通った貫通電流は流れるが、このトランジスタはサイズが小さく電流能力が小さいし、又、デコード回路を考えると選択時のみなので流れる回路数も非常に少なく、特に大きな問題ではない。

【0035】次に、本発明の第8の実施の形態について、図9を用いて説明する。本実施の形態は、先の第7の実施の形態のAND回路（図8参照）が逆相信号 ∇B を論理回路外部から供給されていたのに対し、その逆相信号 ∇B を発生する回路を含んでいる点に特徴がある。複数個並んだAND回路（出力は、 $X_{21} \sim X_{2n}$ ）は、引上げ用nMOSトランジスタM₁₀₃と引下げ用nMOSトランジスタM₁₀₄の直列接続からなる逆相信号生成回路により、駆動される。上記の逆相信号生成回路は、二つのnMOSトランジスタM₁₀₃、M₁₀₄それぞれのゲート電極に逆相信号 ∇B と同相、逆相の信号 ∇B_0 、 B_0 を入力されて、プッシュプル形式の回路として逆相信号 ∇B の信号線6を駆動する。

【0036】図9中のAND回路を構成するMOSトランジスタの内、逆相信号 ∇B がソース電極に入力されるnMOSトランジスタM₁₀₂がオフ状態となる条件は、このトランジスタのソース電圧が、ゲート電圧よりしきい値電圧 V_{TH} だけ低い電圧になることである。従って、本実施の形態では、nMOSトランジスタM₁₀₂のソース電圧つまり、逆相信号 ∇B のハイレベルが $V_{CC} - V_{TH}$ まで上がれば十分である。その逆相信号 ∇B をハイに引き上げるのは、逆相信号生成回路内のnMOSトランジスタM₁₀₃であって、この逆相信号発生回路への入力信号 ∇B_0 がハイのとき、出力の逆相信号 ∇B がハイとなる。その場合、入力信号 ∇B_0 のハイレベルは電源電圧 V_{CC} に一致するが、得られる出力信号 ∇B のハイレベル

は、nMOSトランジスタM₁₀₃における「しきい値落ち現象」により、 $V_{CC} - V_{TH}$ となる。この逆相信号 ∇B のハイレベルは、AND論理部側のnMOSトランジスタM₁₀₂のオフ条件に一致する。すなわち、本実施の形態のように構成すると、逆相信号 ∇B の振幅を小さくでき、高速化と低電流化という効果を同時に得ることができる。例えば、電源電圧 $V_{CC} = 3.3V$ として見積もると、AND出力までの遅延時間が約20%短縮され、消費電流が約30%減少する。更に、逆相信号生成回路に電流能力が低いpMOSトランジスタに替えてnMOSトランジスタを用いることで、トランジスタサイズを小さくすることができ、逆相信号線駆動バッファのレイアウト面積を約25%縮小することができる。

【0037】次に、本発明の第9の実施の形態について、図10を用いて説明する。本実施の形態は、第7の実施の形態に対し、常時オン状態にあるpMOSトランジスタM₁₁₂に並列に、pMOSトランジスタM₁₁₃を接続した点に特徴がある。このpMOSトランジスタM₁₁₃のゲート電極には、AND出力 X_2 の反転信号が入力されている。このフィードバックにより、NAND出力がロウからハイに上がる時、pMOSトランジスタM₁₁₃はオン状態にあってトランジスタM₁₁₂と協働して電荷を供給するので、NAND出力が速く引き上がる。一方、NAND出力がハイからロウに下がる時は、pMOSトランジスタM₁₁₃はオフ状態にあり、nMOSトランジスタM₁₁₁には電流を流さないで、NAND出力の引下げ速度に影響しない。尚、pMOSトランジスタM₁₁₂の電流能力に対してpMOSトランジスタM₁₁₃の電流能力を大きめの比率にすることで、この高速化のフィードバック効果は高まるが、NAND出力のロウ電圧の浮きやハイ電圧の保持力が低下するので注意が必要である。

【0038】次に、本発明の第10の実施の形態について、図11を用いて説明する。本実施の形態は、NOR論理回路をpMOSトランジスタM₁₂₁とnMOSトランジスタM₁₂₂との直列接続回路で構成し、そのNOR出力をインバータ7で反転させたOR論理回路となっている。今までのAND回路（第7の実施の形態、図8参照）におけるnMOSトランジスタと同様に、pMOSトランジスタM₁₂₁のゲート電極に信号Aを入力し、ソース電極に逆相信号 ∇B を入力している。pMOSトランジスタM₁₂₁は、信号Aがロウで逆相信号 ∇B がハイ（つまり、 $A=0$ 、 $B=0$ ）のときだけオン状態となる。従って、出力 X_3 はこのときだけ、ロウとなる。それ以外のときはpMOSトランジスタM₁₂₁が常にオフ状態にあるので、出力 X_3 は、ハイとなる。このように本実施の形態も、これまでの実施の形態におけると同様に、容易に高速動作を実現できる。

【0039】図12に、MOSトランジスタによるAND回路のファンアウト特性を、従来の回路と本発明の実

施の形態とで比較して示す。図12において、横軸は、NAND+インバータの構成によるAND回路での C_{out}/C_{in} を示す。縦軸は、遅延時間を示す。図に示す遅延時間は、2本の入力それぞれのハイ、ロウ変化時の遅延時間を平均したものであり、従来のAND回路については一般的なCMOS構成の回路における値を示し、本発明については第7と第9の実施の形態のAND回路における値を示してある。図から、ファンアウト係数によらず、従来の回路に比べ本発明の実施の形態の方が高速であり、フィードバックを加えた第9の実施の形態は特に高速であることがわかる。つまり、同じ C_{out}/C_{in} ならば遅延時間を約30~40%も短縮することができる。

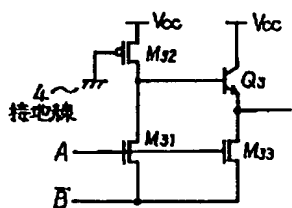
【0040】

【発明の効果】以上説明したとおり、本発明は、NAND論理回路の、従来複数個のnMOSトランジスタの直列縦積み接続で構成していた電荷引抜き経路を、ただ一個のnMOSトランジスタで構成し、そのnMOSトランジスタには、ゲート入力の他に、ソース電極にも逆相信号を直接入力している。これにより本発明によれば、nMOSトランジスタによる出力の引下げ能力を高くできる。上記の構成をBiCMOSのNAND回路に適用するときは、出力引下げ用および出力段パイポラトランジスタのベース電位引下げ用の両方に適用することにより、動作速度を高めるとともに、素子数を減じレイアウト面積を縮小することができる。又、CMOSのNAND回路に適用するときは、インバータを加えたAND回路を基本単位とすることで、ソース入力の逆相信号線容量に対するNAND出力の負荷容量を小さくして、高速性を引き出すことができる。

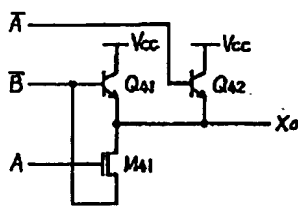
【0041】更に、このソース入力の逆相信号を生成する回路を設け、逆相信号の振幅を圧縮することにより、回路動作を高速化させ低電力化を計ることができる。

【0042】本発明はこれを、NAND、AND論理以外の、NOR論理やOR論理などの論理回路にも同様に適用できるので、特に半導体メモリ装置におけるデコーダ回路などを構成した場合、高速化、レイアウト面積低減、低消費電力化などの大きな効果をもたらす。

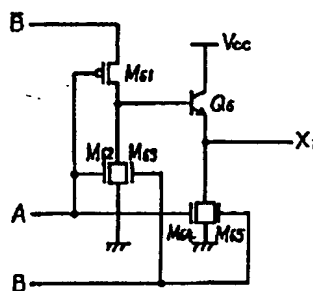
【図2】



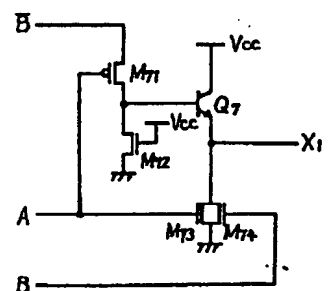
【図3】



【図5】



【図6】



【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるNAND回路の回路図、真理値表及びレイアウトパターンを示す図である。

【図2】本発明の第2の実施の形態によるNAND回路の回路図である。

【図3】本発明の第3の実施の形態によるNAND回路の回路図である。

【図4】NAND回路における素子数対遅延時間の関係を、従来のNAND回路と本発明の実施の形態によるBiCMOS構成のNAND回路とで比較して示す図である。

【図5】本発明の第4の実施の形態によるNOR回路の回路図である。

【図6】本発明の第5の実施の形態によるNOR回路の回路図である。

【図7】本発明の第6の実施の形態によるAND回路の回路図である。

【図8】本発明の第7の実施の形態によるAND回路の回路図である。

【図9】本発明の第8の実施の形態による、逆相信号生成回路を備えるAND回路の回路図である。

【図10】本発明の第9の実施の形態によるAND回路の回路図である。

【図11】本発明の第10の実施の形態によるOR回路の回路図である。

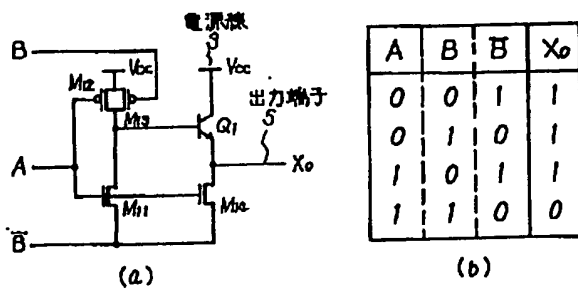
【図12】AND回路における素子数対遅延時間の関係を、従来のAND回路と本発明の実施の形態によるCMOS構成のAND回路とで比較して示す図である。

【図13】従来のNAND回路の一例の回路図である。

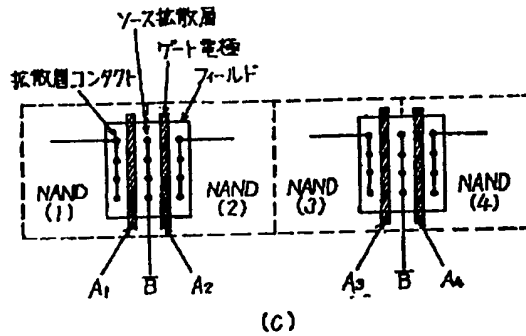
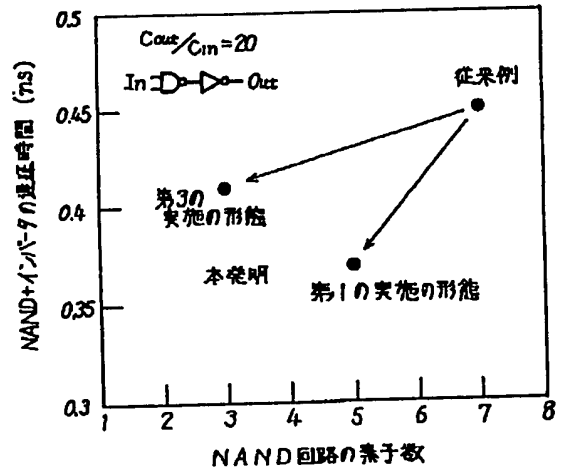
【符号の説明】

- 1 論理部
- 2 出力段
- 3 高位電源線
- 4 接地線
- 5 出力端子
- 6 逆相信号線
- 7 インバータ

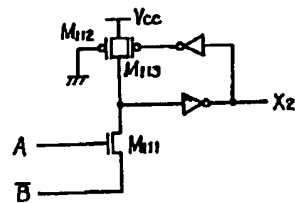
【図1】



【図4】

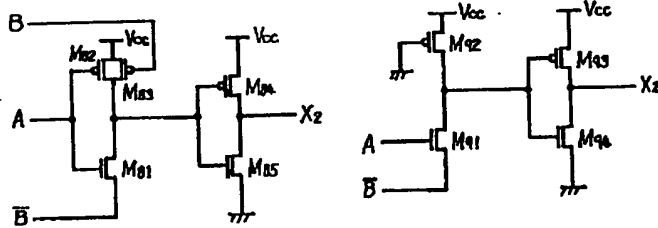


【図10】

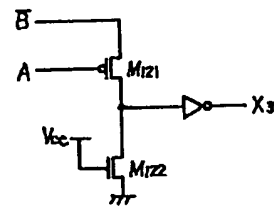


【図7】

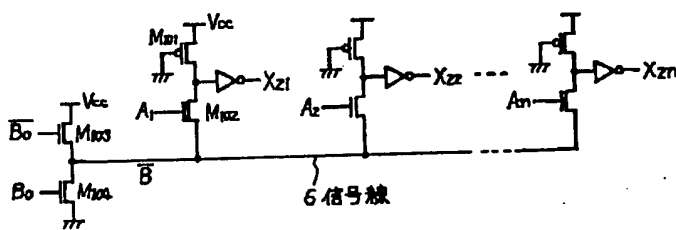
【図8】



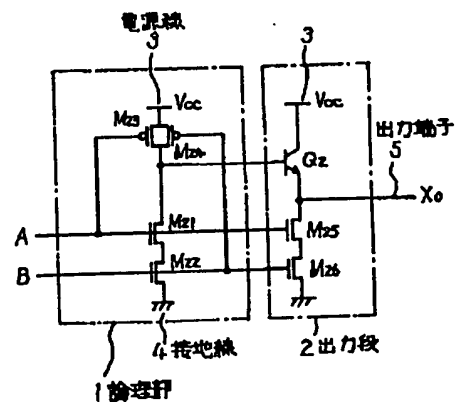
【図11】



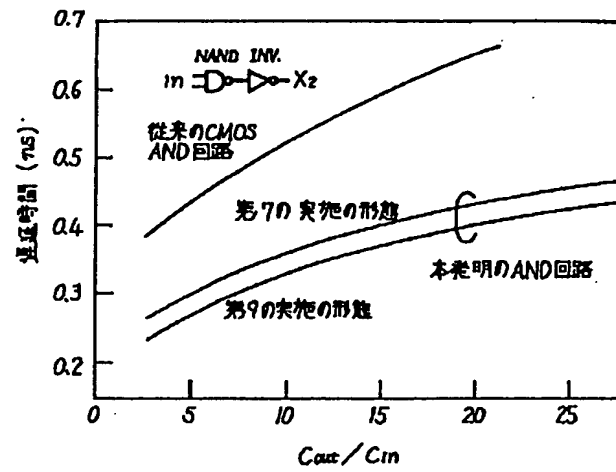
【図9】



【図13】



【図12】



フロントページの続き

(51) Int. Cl.⁶

H 0 3 K 19/20

識別記号

庁内整理番号

F I

H 0 3 K 19/094

技術表示箇所

A